*****Instituto Politécnico Nacional***

***Escuela Superior de Cómputo***

*Arquitectura de Computadoras*

***Practica 2: Sumador/Restador de 8 bitscon acarreo en cascada***

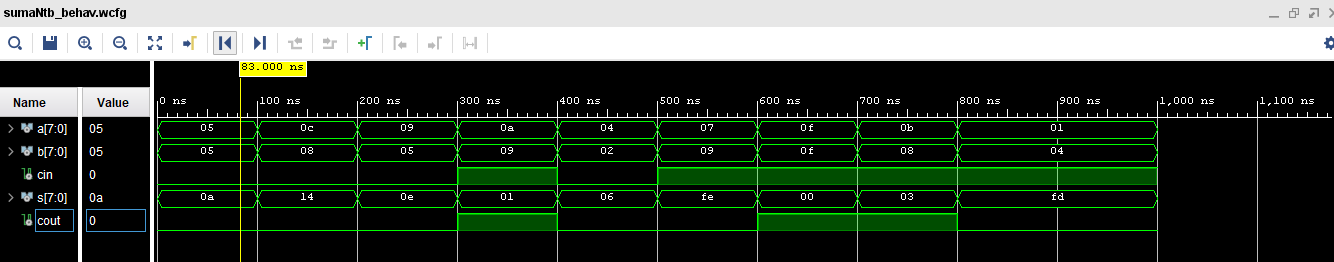
***Nombre:*** *Sampayo Hernández Mauro*

***Grupo:*** *3CV8*

***Profesor:*** *Nayeli Vega García*

***Fecha de entrega:*** *24 de enero del 2020*

**Simulación:**



**Tabla de Resultados:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Operación | A | B | S | Cout |
| Suma | 5 | 5 | 0a | 0 |
| Suma | 12 | 8 | 14 | 0 |
| Suma | 9 | 5 | 0e | 0 |
| Resta | 10 | 9 | 01 | 1 |
| Suma | 4 | 2 | 06 | 0 |
| Resta | 7 | 9 | fe | 0 |
| Resta | 15 | 15 | 00 | 1 |
| Resta | 11 | 8 | 03 | 1 |
| Resta | 1 | 4 | fd | 0 |

**Esquema RTL:**

